

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-015426

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

G09G 3/20

G09G 3/28

(21)Application number : 09-183152

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 24.06.1997

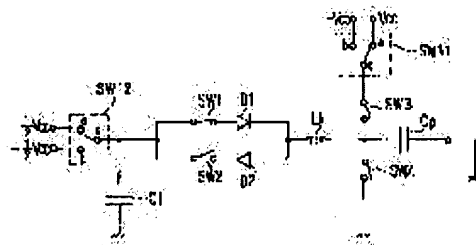
(72)Inventor : YOSHINO AKIO

(54) CAPACITIVE LOAD DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitive load drive circuit with simple and inexpensive constitution.

SOLUTION: One end of a capacitive load C_p is grounded, and the other end is connected to an inductor L_1 . A parallel circuit between a serial circuit of a switch element SW_1 with a diode D_1 and the serial circuit of the switch element SW_2 with the diode D_2 is connected to the inductor L_1 , and a power collecting capacitor C_1 is connected to this parallel circuit. The switch elements SW_3 , SW_4 are connected to the capacitive load C_p , and the switch element SW_{11} switching a positive source V_{cc} with a negative source $-V_{cc}$ is connected to the switch element SW_3 . The switch element SW_{12} switching the positive source $(1/2)V_{cc}$ with the negative source $-(1/2)V_{cc}$ is connected to the capacitor C_1 .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-15426

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁸

G 0 9 G 3/20
3/28

識別記号

F I

G 0 9 G 3/20
3/28

J
J

審査請求 未請求 請求項の数4 F D (全 10 頁)

(21) 出願番号 特願平9-183152

(22) 出願日 平成9年(1997) 6月24日

(71) 出願人 000004329

日本ビクター株式会社
神奈川県横浜市神奈川区守屋町3丁目12番
地

(72) 発明者 吉野 章夫

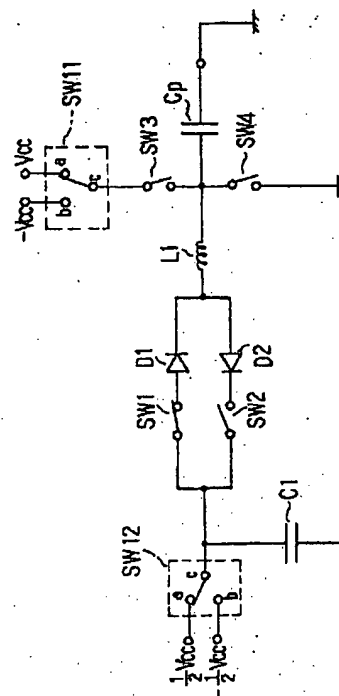
神奈川県横浜市神奈川区守屋町3丁目12番
地 日本ビクター株式会社内

(54) 【発明の名称】 容量負荷駆動回路

(57) 【要約】

【課題】 簡易かつ安価な構成の容量負荷駆動回路を提供する。

【解決手段】 容量負荷C_pの一端は接地され、他端はインダクタL₁が接続されている。インダクタL₁には、スイッチ素子SW₁とダイオードD₁との直列回路と、スイッチ素子SW₂とダイオードD₂との直列回路との並列回路が接続され、この並列回路には電力回収用のコンデンサC₁が接続されている。容量負荷C_pにはスイッチ素子SW₃、SW₄が接続され、スイッチ素子SW₃には正電源V_{cc}と負電源-V_{cc}とを切り替えるスイッチ素子SW₁₁が接続されている。コンデンサC₁には、正電源(1/2)V_{cc}と負電源-(1/2)V_{cc}とを切り替えるスイッチ素子SW₁₂が接続されている。



【特許請求の範囲】

【請求項1】容量負荷を充放電させる容量負荷駆動回路において、

第1のスイッチ素子と第1のダイオードとの直列回路と、第2のスイッチ素子と第2のダイオードとの直列回路とが並列接続された並列回路と、

一端が接地され、他端が前記並列回路に接続された電力回収用のコンデンサと、

一端が接地された前記容量負荷の他端に一端が接続され、他端が前記並列回路に接続されたインダクタと、前記容量負荷と前記インダクタとの接続点に接続された第3のスイッチ素子と、

一端が接地され、他端が前記容量負荷と前記インダクタとの接続点に接続された第4のスイッチ素子と、

前記第3のスイッチ素子に接続され、正電源と負電源とを選択的に切り替える第5のスイッチ素子と、

前記コンデンサの前記他端に接続され、前記正電源、負電源の1/2の電圧値である正電源と負電源とを選択的に切り替える第6のスイッチ素子とを備えて構成したことを特徴とする容量負荷駆動回路。

【請求項2】容量負荷を充放電させる容量負荷駆動回路において、

第1のスイッチ素子と第1のダイオードとの直列回路と、第2のスイッチ素子と第2のダイオードとの直列回路とが並列接続された並列回路と、

一端が接地され、他端が前記並列回路に接続された電力回収用のコンデンサと、

一端が前記並列回路に接続されたインダクタと、

前記容量負荷の一端と電源との間に接続された第3のスイッチ素子と、一端が接地され、他端が前記容量負荷の一端に接続された第4のスイッチ素子と、

前記容量負荷の他端と電源との間に接続された第5のスイッチ素子と、

一端が接地され、他端が前記容量負荷の他端に接続された第6のスイッチ素子と、

前記インダクタの他端に接続され、前記インダクタを前記容量負荷の前記一端と前記他端とに選択的に接続する第7のスイッチ素子とを備えて構成したことを特徴とする容量負荷駆動回路。

【請求項3】容量負荷を充放電させる容量負荷駆動回路において、

第1のスイッチ素子と第1のダイオードとの直列回路と、第2のスイッチ素子と第2のダイオードとの直列回路とが並列接続された並列回路と、

一端が接地され、他端が前記並列回路に接続された電力回収用のコンデンサと、

一端が前記並列回路に接続され、他端が前記容量負荷の一端に接続された第1のインダクタと、

一端が前記並列回路に接続され、他端が前記容量負荷の他端に接続された第2のインダクタと、

前記容量負荷の一端と電源との間に接続された第3のスイッチ素子と、

一端が接地され、他端が前記容量負荷の一端に接続された第4のスイッチ素子と、

前記容量負荷の他端と電源との間に接続された第5のスイッチ素子と、

一端が接地され、他端が前記容量負荷の他端に接続された第6のスイッチ素子とを備えて構成したことを特徴とする容量負荷駆動回路。

10 【請求項4】容量負荷を充放電させる容量負荷駆動回路において、

第1のスイッチ素子と第1のダイオードとの直列回路と、第2のスイッチ素子と第2のダイオードとの直列回路とが並列接続された第1の並列回路と、

第3のスイッチ素子と第3のダイオードとの直列回路と、第4のスイッチ素子と第4のダイオードとの直列回路とが並列接続された第2の並列回路と、

一端が接地され、他端が前記第1及び第2の並列回路に接続された電力回収用のコンデンサと、

20 一端が前記第1の並列回路に接続され、他端が前記容量負荷の一端に接続された第1のインダクタと、

一端が前記第2の並列回路に接続され、他端が前記容量負荷の他端に接続された第2のインダクタと、

前記容量負荷の一端と電源との間に接続された第5のスイッチ素子と、

一端が接地され、他端が前記容量負荷の一端に接続された第6のスイッチ素子と、

前記容量負荷の他端と電源との間に接続された第7のスイッチ素子と、

30 一端が接地され、他端が前記容量負荷の他端に接続された第8のスイッチ素子とを備えて構成したことを特徴とする容量負荷駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル（PDP）の駆動装置に用いられる、容量負荷を充放電させる容量負荷駆動回路に係り、特に、容量負荷の無効電力を回収するようにした容量負荷駆動回路に関する。

【0002】

【従来の技術】交流（AC）型PDPにおいては、位相が互いに180度ずれた2種類のパルス（維持放電パルス）をそれぞれ2種類の電極に印加する。そこで、AC型PDPに用いられる従来の容量負荷駆動回路は、2つの維持放電パルス発生回路を備えることが必要である。

【0003】図10は従来の容量負荷駆動回路の一例を示す回路図、図11及び図12は従来の容量負荷駆動回路の動作を説明するための波形図、図13は従来の容量負荷駆動回路の等価回路図である。図10において、容量負荷駆動回路は第1の維持放電パルス発生回路1と、

第2の維持放電パルス発生回路2とを備え、これら第1、第2の維持放電パルス発生回路1、2は容量負荷Cpによって連結されている。容量負荷Cpとは、AC型PDPにおける1画素のことであり、パネル容量とも称される。

【0004】第1の維持放電パルス発生回路1は、コンデンサC1、ダイオードD1、D2、インダクタL1、スイッチ素子SW1~SW4とを備えて構成されている。コンデンサC1は一端が接地され、他端は、スイッチ素子SW1とダイオードD1との直列回路とスイッチ素子SW2とダイオードD2との直列回路との並列回路に接続されている。ダイオードD1、D2は互いに逆向きに接続されている。この並列回路にはインダクタL1が接続され、インダクタL1には、一端が電源Vccに接続されたスイッチ素子SW3と、一端が接地されたスイッチ素子SW4とが接続されている。

【0005】第2の維持放電パルス発生回路2は、コンデンサC2、ダイオードD3、D4、インダクタL2、スイッチ素子SW5~SW8とを備えて構成されている。コンデンサC2は一端が接地され、他端は、スイッチ素子SW5とダイオードD3との直列回路とスイッチ素子SW6とダイオードD4との直列回路との並列回路に接続されている。ダイオードD3、D4は互いに逆向きに接続されている。この並列回路にはインダクタL2が接続され、インダクタL2には、一端が電源Vccに接続されたスイッチ素子SW7と、一端が接地されたスイッチ素子SW8とが接続されている。

【0006】このように構成される容量負荷駆動回路において、第1の維持放電パルス発生回路1は、図11(A)に示す維持放電パルスを発生し、第2の維持放電パルス発生回路2は、図11(B)に示す維持放電パルスを発生する。これらのパルスをどのようにして発生するかは後に詳述する。また、図10に示す容量負荷駆動回路は、容量負荷Cpの充放電で失われるエネルギーを、インダクタL1、L2によって減少させ、さらに、コンデンサC1、C2で回収しようとするものである。この回路構成は、いわゆる電力回収回路と称され、その原理は各種の文献(特開平6-274125号公報、特開平8-137432号公報等)に記載されている。

【0007】第1の維持放電パルス発生回路1が動作しているとき、第2の維持放電パルス発生回路2は等価的にアースに接続され、第2の維持放電パルス発生回路2が動作しているとき、第1の維持放電パルス発生回路1は等価的にアースに接続された状態となる。従って、第1の維持放電パルス発生回路1が動作しているときには、図10に示す容量負荷駆動回路は、図13(A)に示す等価回路で表すことができ、第2の維持放電パルス発生回路2が動作しているときには、図10に示す容量負荷駆動回路は、図13(B)に示す等価回路で表すことができる。

【0008】この図10に示す容量負荷駆動回路の動作について、図12、図13を用いて詳細に説明する。図12において、(A)は容量負荷Cpの両端電圧Vcp、(B)はインダクタL1に流れる電流IL1、(C)はインダクタL1の両端電圧VL1、(D)~(G)はスイッチ素子SW1~SW4のオンオフのタイミングを示している。

【0009】第1の維持放電パルス発生回路1の動作を図13(A)に示す等価回路を用いて説明する。コンデンサC1の容量は容量負荷Cpの容量よりはるかに大きい(例えば100倍以上)とし、コンデンサC1の両端には電圧VC1が印加されているものとする。図12の時点t1において、スイッチ素子SW1をオンすると、インダクタL1と容量負荷Cpとの共振回路により、コンデンサC1の両端電圧VC1の2倍の電圧が容量負荷Cpに誘起される。このとき、スイッチ素子SW2~SW4はオフである。

【0010】容量負荷Cpの両端電圧Vcpがピークに達したら、時点t3でスイッチ素子SW3をオンする。この状態を維持放電パルス幅に相当する期間保った後、時点t4でスイッチ素子SW2をオンし、スイッチ素子SW1、SW3をオフする。すると、容量負荷Cpに蓄積された電荷はインダクタL1を通しコンデンサC1に蓄えられる。容量負荷Cpの両端電圧Vcpが0となったら、時点t6でスイッチ素子SW4をオンし、両端電圧Vcpを0に保つ。なお、インダクタL1に流れる電流IL1は、時点t1で上昇し始め、時点t2でピークに達し、時点t3で0となり。また、時点t4で下降し始め、時点t5でピークに達し、時点t6で0となる。また、インダクタL1の両端電圧VL1は、時点t1、t3で段階的に上昇し、時点t4、t6で段階的に下降する。

【0011】以上の動作により、容量負荷Cpには、図12(A)に示す1つのパルスが印加されることになる。このパルスは、図11(A)における維持放電パルスの1つのパルスに相当するものである。即ち、第1の維持放電パルス発生回路1は、図11(A)に示す維持放電パルスを発生する。第2の維持放電パルス発生回路2の動作も、第1の維持放電パルス発生回路1の動作と全く同様である。スイッチ素子SW5、SW6、SW7、SW8の動作はそれぞれスイッチ素子SW2、SW1、SW3、SW4と同じである。そして、第2の維持放電パルス発生回路2は、図11(B)に示す維持放電パルスを発生する。

【0012】コンデンサC1、C2の容量が容量負荷Cpの容量よりはるかに大きいという条件が満たされ、第1、第2の維持放電パルス発生回路1、2において、図12で説明した動作が繰り返されると、コンデンサC1、C2の両端電圧VC1、VC2は自動的に(1/2)Vccとなる。これら一連の動作は、共振回路の動作であ

り、容量負荷 C_p を充電したエネルギーはコンデンサ C_1 、 C_2 に回収されることになる。そして、容量負荷 C_p には、結果として、図11(C)に示す維持放電パルスが印加されることとなる。

【0013】

【発明が解決しようとする課題】図10に示す従来の容量負荷駆動回路は、第1、第2の維持放電パルス発生回路1、2という2つの維持放電パルス発生回路が必要であり、構造の複雑化や高コスト化を招くという問題点があった。本発明はこのような問題点に鑑みなされたものであり、簡易かつ安価な構成の容量負荷駆動回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、(1)容量負荷(C_p)を充放電させる容量負荷駆動回路において、第1のスイッチ素子(SW1)と第1のダイオード(D1)との直列回路と、第2のスイッチ素子(SW2)と第2のダイオード(D2)との直列回路とが並列接続された並列回路と、一端が接地され、他端が前記並列回路に接続された電力回収用のコンデンサ(C_1)と、一端が接地された前記容量負荷の他端に一端が接続され、他端が前記並列回路に接続されたインダクタ(L1)と、前記容量負荷と前記インダクタとの接続点に接続された第3のスイッチ素子(SW3)と、一端が接地され、他端が前記容量負荷と前記インダクタとの接続点に接続された第4のスイッチ素子(SW4)と、前記第3のスイッチ素子に接続され、正電源と負電源とを選択的に切り替える第5のスイッチ素子(SW11)と、前記コンデンサの前記他端に接続され、前記正電源、負電源の1/2の電圧値である正電源と負電源とを選択的に切り替える第6のスイッチ素子(SW12)とを備えて構成したことを特徴とする容量負荷駆動回路を提供し、(2)容量負荷(C_p)を充放電させる容量負荷駆動回路において、第1のスイッチ素子(SW1)と第1のダイオード(D1)との直列回路と、第2のスイッチ素子(SW2)と第2のダイオード(D2)との直列回路とが並列接続された並列回路と、一端が接地され、他端が前記並列回路に接続された電力回収用のコンデンサ(C_1)と、一端が前記並列回路に接続されたインダクタ(L1)と、前記容量負荷の一端と電源との間に接続された第3のスイッチ素子(SW3)と、一端が接地され、他端が前記容量負荷の一端に接続された第4のスイッチ素子(SW4)と、前記容量負荷の他端と電源との間に接続された第5のスイッチ素子(SW7)と、一端が接地され、他端が前記容量負荷の他端に接続された第6のスイッチ素子(SW8)と、前記インダクタの他端に接続され、前記インダクタを前記容量負荷の前記一端と前記他端とに選択的に接続する第7のスイッチ素子(SW22)とを備えて構成したことを特徴とする容量負荷駆動回路を提供し、

(3)容量負荷(C_p)を充放電させる容量負荷駆動回路において、第1のスイッチ素子(SW1)と第1のダイオード(D1)との直列回路と、第2のスイッチ素子(SW2)と第2のダイオード(D2)との直列回路とが並列接続された並列回路と、一端が接地され、他端が前記並列回路に接続された電力回収用のコンデンサ(C_1)と、一端が前記並列回路に接続され、他端が前記容量負荷の一端に接続された第1のインダクタ(L1)と、一端が前記並列回路に接続され、他端が前記容量負荷の他端に接続された第2のインダクタ(L2)と、前記容量負荷の一端と電源との間に接続された第3のスイッチ素子(SW3)と、一端が接地され、他端が前記容量負荷の一端に接続された第4のスイッチ素子(SW4)と、前記容量負荷の他端と電源との間に接続された第5のスイッチ素子(SW7)と、一端が接地され、他端が前記容量負荷の他端に接続された第6のスイッチ素子(SW8)とを備えて構成したことを特徴とする容量負荷駆動回路を提供し、(4)容量負荷(C_p)を充放電させる容量負荷駆動回路において、第1のスイッチ素子(SW1)と第1のダイオード(D1)との直列回路と、第2のスイッチ素子(SW2)と第2のダイオード(D2)との直列回路とが並列接続された第1の並列回路と、第3のスイッチ素子(SW5)と第3のダイオード(D3)との直列回路と、第4のスイッチ素子(SW6)と第4のダイオード(D4)との直列回路とが並列接続された第2の並列回路と、一端が接地され、他端が前記第1及び第2の並列回路に接続された電力回収用のコンデンサ(C_1)と、一端が前記第1の並列回路に接続され、他端が前記容量負荷の一端に接続された第1のインダクタ(L1)と、一端が前記第2の並列回路に接続され、他端が前記容量負荷の他端に接続された第2のインダクタ(L2)と、前記容量負荷の一端と電源との間に接続された第5のスイッチ素子(SW3)と、一端が接地され、他端が前記容量負荷の一端に接続された第6のスイッチ素子(SW4)と、前記容量負荷の他端と電源との間に接続された第7のスイッチ素子(SW7)と、一端が接地され、他端が前記容量負荷の他端に接続された第8のスイッチ素子(SW8)とを備えて構成したことを特徴とする容量負荷駆動回路を提供するものである。

【0015】

【発明の実施の形態】以下、本発明の容量負荷駆動回路について、添付図面を参照して説明する。図1は本発明の容量負荷駆動回路の第1実施例を示す回路図、図2は図1に示す第1実施例の動作を説明するための回路図、図3は図1に示す第1実施例の動作を説明するための波形図、図4は図1に示す第1実施例の動作を説明するための回路図、図5及び図6は図1に示す第1実施例の動作を説明するための波形図、図7は本発明の容量負荷駆動回路の第2実施例を示す回路図、図8は本発明の容量

負荷駆動回路の第3実施例を示す回路図、図9は本発明の容量負荷駆動回路の第4実施例を示す回路図である。なお、図1、図2、図4、図7～図9において、図10と同一部分には同一符号を付し、重複する部分の説明は適宜省略することがある。

【0016】<第1実施例>図1において、第1実施例の容量負荷駆動回路は、コンデンサC1、ダイオードD1、D2、インダクタL1、スイッチ素子SW1～SW4、SW11、SW12を備えて構成されている。容量負荷Cpの一端は接地され、他端は容量負荷駆動回路のインダクタL1に接続されている。コンデンサC1は一端が接地され、他端は、スイッチ素子SW1とダイオードD1との直列回路とスイッチ素子SW2とダイオードD2との直列回路との並列回路に接続されている。ダイオードD1、D2は互いに逆向きに接続されている。また、コンデンサC1の他端は、スイッチ素子SW12の端子cに接続されている。スイッチ素子SW12の端子aには電源 $(1/2)V_{cc}$ が接続され、端子bには電源 $-(1/2)V_{cc}$ が接続されている。なお、コンデンサC1の容量は容量負荷Cpの容量よりはるかに大きい(例えば100倍以上)。

【0017】上記の並列回路にはインダクタL1が接続され、インダクタL1には、一端がスイッチ素子SW11に接続されたスイッチ素子SW3と、一端が接地されたスイッチ素子SW4とが接続されている。スイッチ素子SW11の端子aには電源Vccが接続され、端子bには電源 $-V_{cc}$ が接続されている。

【0018】この図1に示す構成と図10に示す構成とを比較すると分かるように、第1実施例の容量負荷駆動回路は、図10中の第2の維持放電パルス発生回路2を省略し、電源Vccと $-V_{cc}$ とを選択的に供給するスイッチ素子SW11及び電源 $(1/2)V_{cc}$ と $-(1/2)V_{cc}$ とを選択的に供給するスイッチ素子SW12を追加した構成となっている。

【0019】まず、スイッチ素子SW11、SW12が正の電源Vcc、 $(1/2)V_{cc}$ を選択するため、それぞれ端子aに接続した際には、図1に示す回路は等価的に図2に示す回路構成となる。この図2は、図13(A)と全く同様に動作する。図2には、図3に示す時点t1～t6における電流の流れを実線もしくは破線で示している。図3はこのときの動作を示している。図3において、(A)は容量負荷Cpの両端電圧Vcp、(B)はインダクタL1に流れる電流IL1、(C)～(F)はスイッチ素子SW1～SW4のオンオフのタイミングを示している。

【0020】図3の時点t1において、スイッチ素子SW1をオンすると、インダクタL1と容量負荷Cpとの共振回路により、コンデンサC1の両端電圧Vc1の2倍の電圧が容量負荷Cpに誘起される。このとき、スイッチ素子SW2～SW4はオフである。容量負荷Cpの両

端電圧Vcpがピークに達したら、時点t3でスイッチ素子SW3をオンする。この状態を維持放電パルス幅に相当する期間保った後、時点t4でスイッチ素子SW2をオンし、スイッチ素子SW1、SW3をオフする。すると、容量負荷Cpに蓄積された電荷はインダクタL1を通しコンデンサC1に蓄えられる。容量負荷Cpの両端電圧Vcpが0となったら、時点t6でスイッチ素子SW4をオンし、両端電圧Vcpを0に保つ。なお、インダクタL1に流れる電流IL1は、時点t1で上昇し始め、時点t2でピークに達し、時点t3で0となり。また、時点t4で下降し始め、時点t5でピークに達し、時点t6で0となる。

【0021】以上の動作により、容量負荷Cpには、図3(A)に示す1つのパルスが印加されることになる。このパルスは、図11(A)における維持放電パルスの1つのパルスに相当するものである。このようにして、第1実施例の容量負荷駆動回路は、スイッチ素子SW11、SW12が端子aに接続したとき、従来と同様、図11(A)に示す維持放電パルスを発生する。

【0022】次に、スイッチ素子SW11、SW12が負の電源 $-V_{cc}$ 、 $-(1/2)V_{cc}$ を選択するため、それぞれ端子bに接続した際には、図1に示す回路は等価的に図4に示す回路構成となる。図4には、図5に示す時点t1～t6における電流の流れを実線もしくは破線で示している。図5はこのときの動作を示している。図5において、(A)は容量負荷Cpの両端電圧Vcp、(B)はインダクタL1に流れる電流IL1、(C)～(F)はスイッチ素子SW1～SW4のオンオフのタイミングを示している。

【0023】図5の時点t1において、スイッチ素子SW2をオンすると、インダクタL1と容量負荷Cpとの共振回路により、コンデンサC1の両端電圧Vc1の2倍の電圧が容量負荷Cpに誘起される。このとき、スイッチ素子SW1、SW3、SW4はオフである。容量負荷Cpの両端電圧Vcpがピーク(負のピーク)に達したら、時点t3でスイッチ素子SW3をオンする。この状態を維持放電パルス幅に相当する期間保った後、時点t4でスイッチ素子SW1をオンし、スイッチ素子SW2、SW3をオフする。すると、容量負荷Cpに蓄積された電荷はインダクタL1を通しコンデンサC1に蓄えられる。容量負荷Cpの両端電圧Vcpが0となったら、時点t6でスイッチ素子SW4をオンし、両端電圧Vcpを0に保つ。なお、インダクタL1に流れる電流IL1は、時点t1で下降し始め、時点t2でピークに達し、時点t3で0となり。また、時点t4で上昇し始め、時点t5でピークに達し、時点t6で0となる。

【0024】以上の動作により、容量負荷Cpには、図5(A)に示す1つのパルスが印加されることになる。このパルスは、図11(B)における維持放電パルスの1つのパルスに相当するものである。このようにして、

第1実施例の容量負荷駆動回路は、スイッチ素子SW11、SW12が端子bに接続したとき、従来と同様、図11(B)に示す維持放電パルスを発生する。

【0025】以上説明した図2及び図4を連続的に動作させた場合の動作を図6に示す。図6において、(A)は容量負荷Cpの両端電圧Vcp、(B)はインダクタL1に流れる電流IL1、(C)～(F)はスイッチ素子SW1～SW4のオンオフのタイミング、(G)、(H)はスイッチ素子SW11、SW12の選択のタイミング(即ち、端子cの電圧値)を示している。図6(G)、(H)に示すように、スイッチ素子SW11、SW12は時点tp、tqで端子a、bを切り替える。時点tpにおいて、端子aから端子bへと切り替え、時点tqにおいて、端子bから端子aへと切り替え、これに伴って、スイッチ素子SW11における端子cの電圧はVccと-Vccとの間で切り替えられ、スイッチ素子SW12における端子cの電圧は(1/2)Vccと-(1/2)Vccとの間で切り替えられる。なお、スイッチ素子SW11、SW12を時点tp、tqで切り替えと同時に、スイッチ素子SW1、SW2のオンオフのタイミン

グも切り替える。【0026】時点tp、tqは、時点t6からt1の間であればよい。即ち、スイッチ素子SW11、SW12の切り替えタイミングは、一方の電極に印加すべき図11(A)に示すパルスの立ち下がり、もう一方の電極に印加すべき図11(B)に示すパルスの立ち上がりとの間に設定する。以上の動作により、容量負荷Cpには、結果として、図6(A)に示す両端電圧が+-Vccの維持放電パルスが印加されることとなる。この図6(A)に示すパルスは図11(C)に示すパルスと同一波形であり、第1実施例の容量負荷駆動回路は、従来の容量負荷駆動回路と実質的に同じ動作をしていることが分かる。このように、第1実施例によれば、図10における第2の維持放電パルス発生回路2の全てを削減することができる。

【0027】<第2実施例>図7において、第2実施例の容量負荷駆動回路は、コンデンサC1、ダイオードD1、D2、インダクタL1、スイッチ素子SW1～SW4、SW7、SW8、SW22を備えて構成されている。コンデンサC1は一端が接地され、他端は、スイッチ素子SW1とダイオードD1との直列回路とスイッチ素子SW2とダイオードD2との直列回路との並列回路に接続されている。ダイオードD1、D2は互いに逆向きに接続されている。この並列回路にはインダクタL1が接続され、インダクタL1は、スイッチ素子SW22の端子cに接続されている。容量負荷Cpの一端はスイッチSW3、SW4の接続点を介してスイッチ素子SW22の端子aに接続され、他端はスイッチ素子SW7、SW8の接続点を介してスイッチ素子SW22の端子bに接続されている。スイッチ素子SW3、SW7には電

源Vccが接続されている。

【0028】この図7に示す構成と図10に示す構成とを比較すると分かるように、第2実施例の容量負荷駆動回路は、図10中の第2の維持放電パルス発生回路2におけるスイッチ素子SW7、SW8以外を省略し、スイッチ素子SW22を追加した構成となっている。

【0029】スイッチ素子SW1～SW4、SW7、SW8のオンオフの動作は、図10と同様である。スイッチ素子SW22の切り替えは、第1実施例のスイッチ素子SW11、SW12と同様、一方の電極に印加すべき図11(A)に示すパルスの立ち下がり、もう一方の電極に印加すべき図11(B)に示すパルスの立ち上がりとの間に設定する。このように、第2実施例によれば、図10における第2の維持放電パルス発生回路2の大部分を削減することができる。

【0030】<第3実施例>図8において、第3実施例の容量負荷駆動回路は、コンデンサC1、ダイオードD1、D2、インダクタL1、L2、スイッチ素子SW1～SW4、SW7、SW8を備えて構成されている。コンデンサC1は一端が接地され、他端は、スイッチ素子SW1とダイオードD1との直列回路とスイッチ素子SW2とダイオードD2との直列回路との並列回路に接続されている。ダイオードD1、D2は互いに逆向きに接続されている。この並列回路にはインダクタL1、L2が接続されている。インダクタL1は、スイッチSW3、SW4の接続点を介して容量負荷Cpの一端に接続され、インダクタL2は、スイッチ素子SW7、SW8の接続点を介して容量負荷Cpの他端に接続されている。スイッチ素子SW3、SW7には電源Vccが接続されている。

【0031】この図8に示す構成と図10に示す構成とを比較すると分かるように、第3実施例の容量負荷駆動回路は、図10中の第2の維持放電パルス発生回路2におけるスイッチ素子SW7、SW8及びインダクタL2以外を省略した構成となっている。スイッチ素子SW1～SW4、SW7、SW8のオンオフの動作は、図10と同様である。このように、第3実施例によれば、図10における第2の維持放電パルス発生回路2のかなりの部分を削減することができる。

【0032】<第4実施例>図9において、第4実施例の容量負荷駆動回路は、コンデンサC1、ダイオードD1、D2、D3、D4、インダクタL1、L2、スイッチ素子SW1～SW8を備えて構成されている。コンデンサC1は一端が接地され、他端は、スイッチ素子SW1とダイオードD1との直列回路とスイッチ素子SW2とダイオードD2との直列回路との並列回路と、スイッチ素子SW5とダイオードD3との直列回路とスイッチ素子SW6とダイオードD4との直列回路との並列回路とに接続されている。ダイオードD1、D2もしくはD3、D4は互いに逆向きに接続されている。これらの並

列回路にはインダクタL1、L2が接続されている。

【0033】インダクタL1は、スイッチSW3、SW4の接続点を介して容量負荷Cpの一端に接続され、インダクタL2は、スイッチ素子SW7、SW8の接続点を介して容量負荷Cpの他端に接続されている。スイッチ素子SW3、SW7には電源Vccが接続されている。

【0034】この図9に示す構成と図10に示す構成とを比較すると分かるように、第4実施例の容量負荷駆動回路は、図10中の第2の維持放電パルス発生回路2におけるコンデンサC2を省略した構成となっている。スイッチ素子SW1～SW8のオンオフの動作は、図10と同様である。このように、第4実施例によれば、図10における第2の維持放電パルス発生回路2の一部（コンデンサC2）を削減することができる。

【0035】

【発明の効果】以上詳細に説明したように、本発明の容量負荷駆動回路は、上述した構成により、2つの維持放電パルス発生回路の内の一方の全てもしくは一部を削減することができ、簡易かつ安価な構成とすることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例を示す回路図である。

【図2】 図1に示す第1実施例の動作を説明するための回路図である。

【図3】 図1に示す第1実施例の動作を説明するための

波形図である。

【図4】 図1に示す第1実施例の動作を説明するための回路図である。

【図5】 図1に示す第1実施例の動作を説明するための波形図である。

【図6】 図1に示す第1実施例の動作を説明するための波形図である。

【図7】 本発明の第2実施例を示す回路図である。

【図8】 本発明の第3実施例を示す回路図である。

【図9】 本発明の第4実施例を示す回路図である。

【図10】 従来例を示す回路図である。

【図11】 従来例の動作を説明するための波形図である。

【図12】 従来例の動作を説明するための波形図である。

【図13】 従来例の等価回路図である。

【符号の説明】

C1 コンデンサ

Cp 容量負荷

20 D1～D4 ダイオード

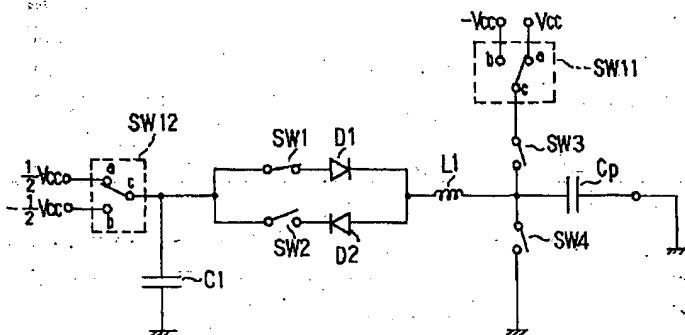
L1、L2 インダクタ

SW1～SW8、SW11、SW12、SW22 スイッチ素子

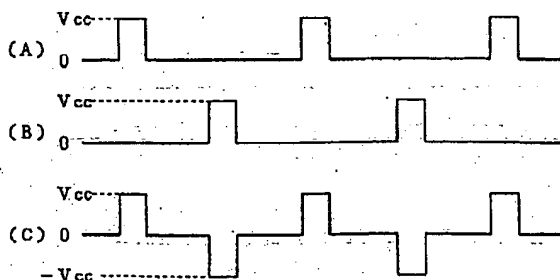
Vcc、(1/2)Vcc 正の電源

-Vcc、-(1/2)Vcc 負の電源

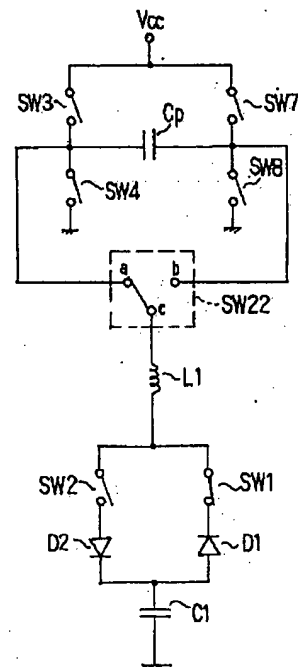
【図1】



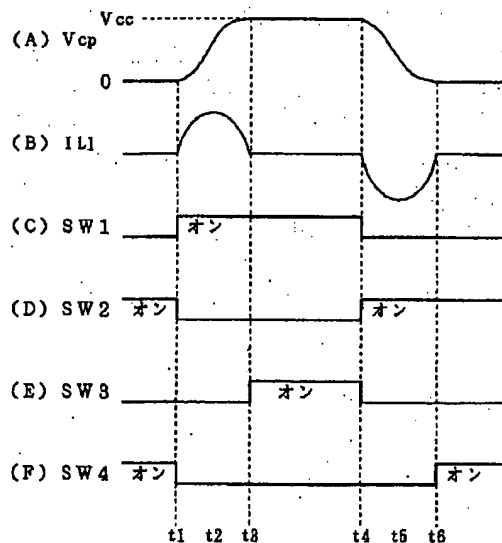
【図11】



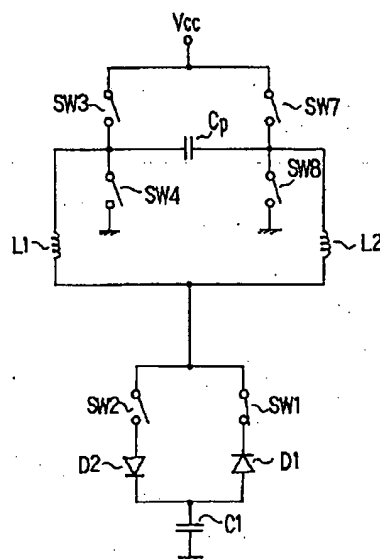
【図7】



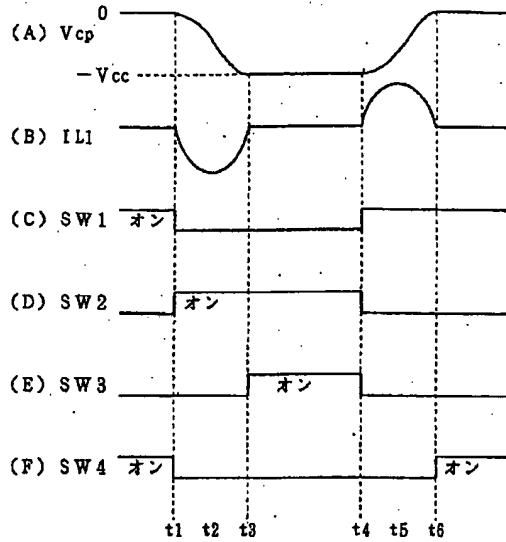
【图3】



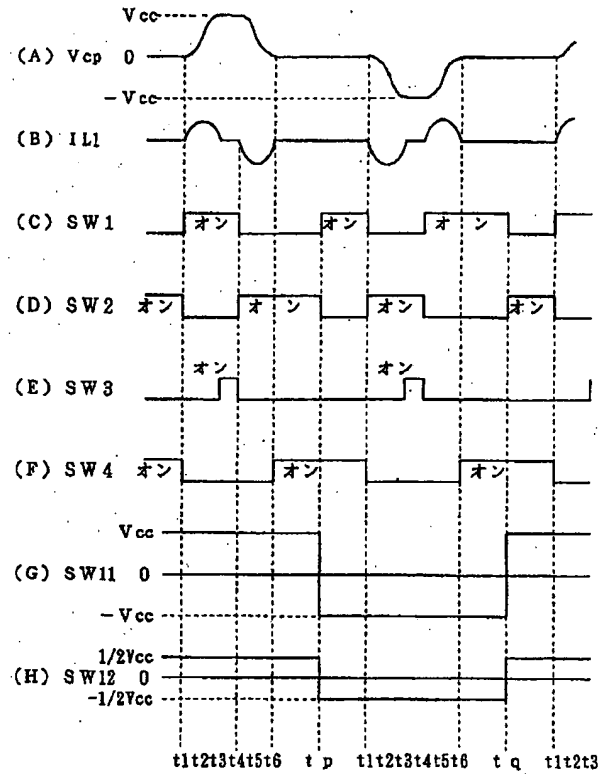
【图8】



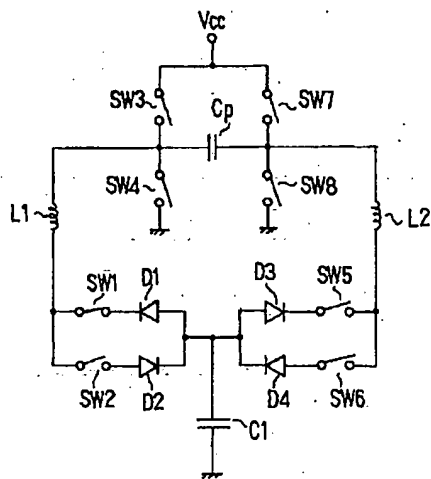
【図5】



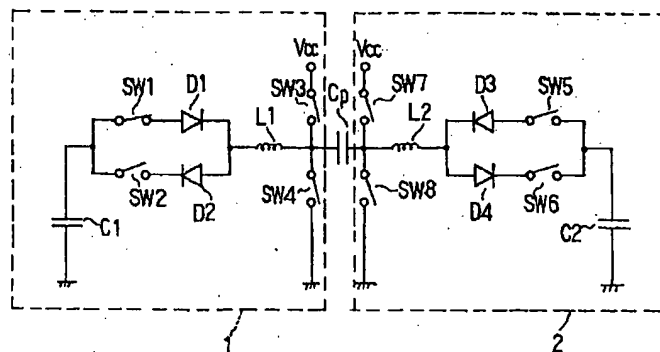
【図6】



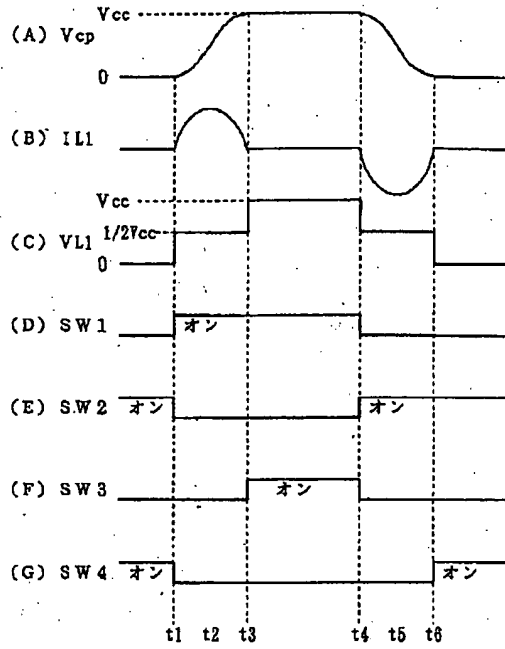
【図9】



【図10】



【図12】



【図13】

